

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-220059

(43) 公開日 平成7年(1995)8月18日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 T 1/60

G 0 6 F 12/02

5 7 0 J 9366-5B

G 0 6 F 15/ 64

4 5 0 F

審査請求 未請求 請求項の数9 OL (全15頁)

(21) 出願番号 特願平6-9757

(22) 出願日 平成6年(1994)1月31日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 尾崎 暢

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 岡田 光由 (外1名)

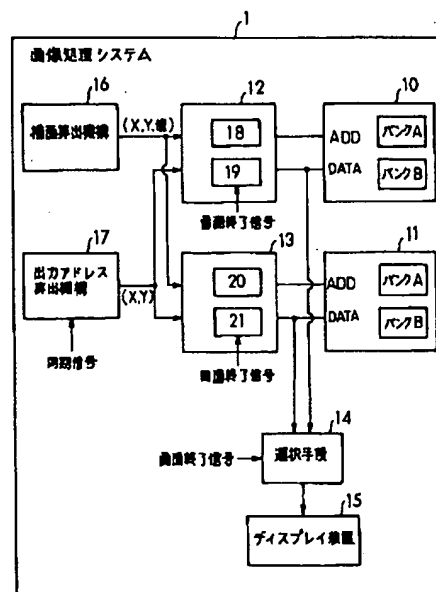
(54) 【発明の名称】 画像メモリアクセス方式と画像処理システム

(57) 【要約】

【目的】 本発明は、ビデオRAMを用いることなく、アドレスマルチプレックス方式の画像メモリに格納される画像データを高速に更新しつつディスプレイ装置に表示していく画像処理システムの提供を目的とする。

【構成】 1画面分の容量を持つ複数バンクの画像メモリを2つ用意し、画像データの矩形領域に対して同一ローアドレスを割り付けつつ、画像データのX・Yアドレスを画像メモリのアドレスに変換するアドレス変換手段を持つ2つのメモリ制御ユニットを備え、かつ、一方の制御ユニットが、一方の画像メモリに画像データを書き込んでいくとともに、他方の制御ユニットが、他方の画像メモリから画像データを読み出していくことを、1画面を単位として画像メモリを交代しつつ繰り返す構成を採り、更に、画像メモリから出力される表示画像データを選択してディスプレイ装置に送出する選択手段を備えるように構成する。

本発明の原理構成図



【特許請求の範囲】

【請求項1】 アドレスマルチブックス方式の画像メモリのアクセス制御を実行する画像メモリアクセス方式において、

画像データの矩形領域に対して画像メモリの同一ローアドレスを割り付けつつ、画像データのX・Yアドレスを画像メモリの格納アドレスに変換するアドレス変換手段を備え、

上記アドレス変換手段の変換する格納アドレスに従って、画像メモリをアクセスするよう処理することを、
特徴とする画像メモリアクセス方式。

【請求項2】 請求項1記載の画像メモリアクセス方式において、

アドレス変換手段は、画像データの各矩形領域に対して、ラスタスキャンの順序に従って画像メモリのカラムアドレスを割り付けるよう処理することを、
特徴とする画像メモリアクセス方式。

【請求項3】 請求項1又は2記載の画像メモリアクセス方式において、

画像メモリが2つ以上のバンクで構成されるときに、アドレス変換手段は、同一画像データの隣合う矩形領域に対して、異なるバンクを割り付けるよう処理することを、
特徴とする画像メモリアクセス方式。

【請求項4】 請求項1又は2記載の画像メモリアクセス方式において、

画像メモリが2つ以上のバンクで構成されるときに、アドレス変換手段は、同一画像データの各矩形領域に対して、同一のバンクを割り付けるよう処理し、

かつ、同一バンク上の異なる矩形領域への連続的なアクセスが発生するときに、該アクセスに先立って他バンクの矩形領域をアクセスするよう制御するタイムスライス制御手段を備えることを、

特徴とする画像メモリアクセス方式。

【請求項5】 アドレスマルチブックス方式の画像メモリに格納される画像データを更新しつつ、ディスプレイ装置に表示していくよう処理する画像処理システムにおいて、

アドレスマルチブックス方式の画像メモリとして、1画面分格納可能な容量を持つ複数バンク構成の画像メモリ(10,11)を2つ用意するとともに、

請求項3記載のアドレス変換手段(18,20)を備えて、該アドレス変換手段(18,20)に従って上記画像メモリ(10,11)の格納アドレスを算出する2つのメモリ制御ユニット(12,13)を備え、

かつ、一方の上記メモリ制御ユニット(12,13)が、一方の上記画像メモリ(10,11)に描画画像データを書き込んでいくとともに、他方の上記メモリ制御ユニット(12,13)が、他方の上記画像メモリ(10,11)から表示画像データを読み出していくことを、1画面を単位として上記

画像メモリ(10,11)を交代しつつ繰り返す構成を採り、更に、2つの上記画像メモリ(10,11)のデータ出力を入力とし、表示画像データを出力する方の上記画像メモリ(10,11)を選択して、該表示画像データをディスプレイ装置(15)に送出する選択手段(14)を備えることを、

特徴とする画像処理システム。

【請求項6】 アドレスマルチブックス方式の画像メモリに格納される画像データを更新しつつ、ディスプレイ装置に表示していくよう処理する画像処理システムにおいて、

アドレスマルチブックス方式の画像メモリとして、2つのバンクから構成されて、各バンクが1画面分格納可能な容量を持つ画像メモリ(30)を1つ用意するとともに、

請求項4記載のアドレス変換手段(36)及びタイムスライス制御手段(38)を備えて、該アドレス変換手段(36)に従って上記画像メモリ(30)の格納アドレスを算出していくとともに、該タイムスライス制御手段(38)に従ってアクセス先のバンクを切り換えていくメモリ制御ユニット(31)を備え、

かつ、上記メモリ制御ユニット(31)が、一方のバンクに描画画像データを書き込んでいくとともに、他方のバンクから表示画像データを読み出していくことを、1画面を単位としてバンクを交代しつつ繰り返す構成を採り、更に、上記タイムスライス制御手段(38)により時間間隔をもって読み出されていく表示画像データを抽出し、該表示画像データを連続データに変換してディスプレイ装置(33)に送出するデータ調整手段(32)を備えることを、
特徴とする画像処理システム。

【請求項7】 請求項5又は6記載の画像処理システムにおいて、

画像メモリ(10,11,30)として、2バンク構成のシンクロナスDRAMを用いるよう構成されることを、

特徴とする画像処理システム。

【請求項8】 アドレスマルチブックス方式の画像メモリに格納される画像データを更新しつつ、ディスプレイ装置に表示していくよう処理する画像処理システムにおいて、

アドレスマルチブックス方式の画像メモリとして、表示画像データを格納するビデオRAM(41)とは別に、表示画像データ以外の画像情報を格納する1画面分格納可能な容量を持つ複数バンク構成の非表示情報用画像メモリ(40)を用意し、

かつ、請求項3記載のアドレス変換手段(46)を備えて、該アドレス変換手段(46)に従って上記非表示情報用画像メモリ(40)の格納アドレスを算出しつつ、該非表示情報用画像メモリ(40)へのアクセス処理を実行するメモリ制御ユニット(42)を備えることを、

特徴とする画像処理システム。

【請求項9】 請求項8記載の画像処理システムにおい

て、非表示情報用展開画像メモリ(40)として、2バンク構成のシンクロナスDRAMを用いるよう構成されることを、特徴とする画像処理システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アドレスマルチプレックス方式の画像メモリのアクセス制御を実行する画像メモリアクセス方式と、アドレスマルチプレックス方式の画像メモリに格納される画像データを更新しつつ、ディスプレイ装置に表示していくよう処理する画像処理システムに関し、特に、高速処理を実現する画像メモリアクセス方式と、高速処理を実現するとともに、低価格でコンパクトな構成を実現する画像処理システムに関する。

【0002】コンピュータグラフィック等の画像処理システムでは、ローアドレス（ROWアドレス）と、カラムアドレス（COLUMNアドレス）とで規定されるアドレスに従ってアクセスされるアドレスマルチプレックス方式の画像メモリを備えて、この画像メモリに画像データを格納していくとともに、格納した画像データをディスプレイ装置に表示していく処理を実行する。

【0003】このような画像処理システムを実用的なものとしていくためには、高速処理を実現するとともに、低価格でコンパクトな構成を実現する必要がある。

【0004】

【従来の技術】従来の画像処理システムでは、アドレスマルチプレックス方式の画像メモリとしてビデオRAM（VRAM）を備える構成を採って、画像データのX・Yアドレスと、ビデオRAMのロー・カラムアドレスとを一对一にマッピングしつつ、このビデオRAMに画像データを格納していくとともに、格納した画像データをディスプレイ装置に表示していくことで、ビデオRAMに格納される画像データを更新しつつ、ディスプレイ装置に表示する構成を採っている。

【0005】すなわち、図15に示すように、メモリへのランダムアクセス処理と、ディスプレイ装置に出力するためのシーケンシャルアクセス処理との双方を同時に実行可能とする2ポート構成のビデオRAMを備える構成を採るとともに、図16に示すように、画像データのX・Yアドレスと、ビデオRAMのロー・カラムアドレスとを一对一にマッピングする構成を採って、描画CPUが、このビデオRAMのランダムアクセスポートを使って、このビデオRAMに格納される画像データの一部又は全ての内容を書き換えていくとともに、VRAMコントローラが、このビデオRAMのシーケンシャルポートを使って、このビデオRAMに格納される画像データをシーケンシャルに読み出して、DAコンバータ（DAC）が、この読み出される画像データをデジタル信号からアナログ信号に変換していくことで、ディ

スプレイ装置に表示していくという構成を採っているのである。

【0006】

【発明が解決しようとする課題】しかしながら、このような従来技術に従っていると、高速処理を実現できないという問題点があった。

【0007】すなわち、ビデオRAMは、通常のDRAMと同様に、ローアドレスを変化させるときのアクセスが遅くなるという特性がある。具体的に説明するならば、60MHzのクロック周波数を用いる場合、ビデオRAMにライトするときには、ローアドレスを新たに設定してから最初の1画素をライトするまでに150nsの時間がかかり、それ以降、1画素をライトする度に50ns（3クロック分）の時間がかかることになる。従って、同一ローアドレス上のn画素のアクセスに要する時間は「 $(100 + 50 \times n)$ ns」となる。図17に、このビデオRAMのメモリアccessのタイムチャートを図示する。ここで、図中のRASはローアドレス確定信号、CASはカラムアドレス確定信号、WEはライトイネーブル信号である。

【0008】これから、図18（a）に示すような三角形を図18（b）に示す画素順序に従ってライトするとすると、1段目の1画素のライトに150nsかかり、2段目の3画素のライトに250nsかかり、3段目の5画素のライトに350nsかかり、4段目の7画素のライトに450nsかかり、5段目の9画素のライトに550nsかかることから、合計1750nsというような長い処理時間を要することになる。

【0009】また、このような従来技術に従っていると、2ポートメモリという通常のDRAMよりも高価なビデオRAMを用いなくてはならないことから、画像処理システムの価格が高くなるという問題点があるとともに、2ポートメモリという通常のDRAMよりもメモリ容量の小さなビデオRAM（同じ大きさで、1/4程度のメモリ容量しかない）を用いなくてはならないことから、画像処理システムをコンパクトにできないという問題点があった。

【0010】本発明はかかる事情に鑑みてなされたものであって、アドレスマルチプレックス方式の画像メモリのアクセス制御を実行するときにあつて、高速処理を実現する新たな画像メモリアクセス方式の提供と、アドレスマルチプレックス方式の画像メモリに格納される画像データを更新しつつ、ディスプレイ装置に表示していくよう処理するときにあつて、高速処理を実現するとともに、低価格でコンパクトな構成を実現する新たな画像処理システムの提供を目的とする。

【0011】

【課題を解決するための手段】図1ないし図3に、本発明を具備する画像処理システム1の原理構成を図示する。

【0012】図1に原理構成を図示する本発明の画像処理システム1は、1画面分格納可能な容量を持つ複数バンク構成のアドレスマルチプレックス方式の第1の画像メモリ10と、1画面分格納可能な容量を持つ複数バンク構成のアドレスマルチプレックス方式の第2の画像メモリ11と、第1の画像メモリ10のアクセス制御処理を実行する第1のメモリ制御ユニット12と、第2の画像メモリ11のアクセス制御処理を実行する第2のメモリ制御ユニット13と、第1及び第2の画像メモリ11、12のデータ出力を入力として、その内のどちらかを選択することで表示画像データを出力する選択手段14と、選択手段14の出力する表示画像データを表示するディスプレイ装置15と、描画画像データのX・Yアドレス/データ値を算出して出力する描画算出機構16と、同期信号を入力として、表示画像データのX・Yアドレスを算出（ラスタスキャンに従って、Xを1つずつインクリメントしていくとともに、Yを1つずつインクリメントすることで算出）して出力する出力アドレス算出機構17とを備える。

【0013】そして、この第1のメモリ制御ユニット12は、入力されてくる画像データのX・Yアドレスを第1の画像メモリ10のロー・カラムアドレスに変換するアドレス変換手段18と、同期信号から生成される画面終了信号を受けて、第1の画像メモリ10に描画画像データを書き込むか、第1の画像メモリ10から表示画像データを読み出すかを決定するメモリモード決定手段19とを備える。

【0014】また、この第2のメモリ制御ユニット13は、入力されてくる画像データのX・Yアドレスを第2の画像メモリ11のロー・カラムアドレスに変換するアドレス変換手段20と、同期信号から生成される画面終了信号を受けて、第2の画像メモリ11に描画画像データを書き込むか、第2の画像メモリ11から表示画像データを読み出すかを決定するメモリモード決定手段21とを備える。

【0015】図2に原理構成を図示する本発明の画像処理システム1は、2つのバンクから構成されて、各バンクが1画面分格納可能な容量を持つアドレスマルチプレックス方式の画像メモリ30と、画像メモリ30のアクセス制御処理を実行するメモリ制御ユニット31と、画像メモリ30から出力される画像データを調整することで表示画像データを生成するデータ調整手段32と、データ調整手段32の生成する表示画像データを表示するディスプレイ装置33と、描画画像データのX・Yアドレス/データ値を算出して出力する描画算出機構34と、同期信号を入力として、表示画像データのX・Yアドレスを算出して出力する出力アドレス算出機構35とを備える。

【0016】そして、このメモリ制御ユニット31は、入力されてくる画像データのX・Yアドレスを画像メモ

リ30のロー・カラムアドレスに変換するアドレス変換手段36と、同期信号から生成される画面終了信号を受けて、どちらのバンクに描画画像データを書き込み、どちらのバンクから表示画像データを読み出すかを決定するバンクモード決定手段37と、同一バンク上の異なる矩形領域への連続的なアクセスが発生するときに、そのアクセスに先立って他バンクの矩形領域をアクセスするように制御するタイムスライス制御手段38とを備える。

【0017】図3に原理構成を図示する本発明の画像処理システム1は、表示画像データ以外の画像情報の格納のために設けられて、1画面分格納可能な容量を持つ複数バンク構成のアドレスマルチプレックス方式の非表示情報用画像メモリ40と、表示画像データを格納するビデオRAM41と、非表示情報用画像メモリ40のアクセス制御処理を実行する第1のメモリ制御ユニット42と、ビデオRAM41のアクセス制御処理を実行する第2のメモリ制御ユニット43と、ビデオRAM41の出力する表示画像データを表示するディスプレイ装置44と、描画画像データのX・Yアドレス/データ値を算出して出力する描画算出機構45とを備える。

【0018】そして、この第1のメモリ制御ユニット42は、入力されてくる画像データのX・Yアドレスを非表示情報用画像メモリ40のロー・カラムアドレスに変換するアドレス変換手段46を備える。

【0019】

【作用】図1に原理構成を図示する本発明の画像処理システム1では、メモリモード決定手段19は、画面終了信号を受け取ると、それまで、第1の画像メモリ10に描画画像データを書き込むことを決定していたときには、今度は、第1の画像メモリ10から表示画像データを読み出すことを決定し、それまで、第1の画像メモリ10から表示画像データを読み出すことを決定していたときには、今度は、第1の画像メモリ10に描画画像データを書き込むことを決定する。

【0020】一方、メモリモード決定手段21は、メモリモード決定手段19が書き込みを決定するときには、第2の画像メモリ11から表示画像データを読み出すことを決定し、読み出しを決定するときには、第2の画像メモリ11に描画画像データを書き込むことを決定する。

【0021】このメモリモード決定手段19、21の決定を受けて、アドレス変換手段18、20は、画像メモリ10、11に描画画像データを書き込むことが決定されるときには、描画算出機構16の出力するX・Yアドレスを受け取り、画像メモリ10、11から表示画像データを読み出すことを決定されるときには、出力アドレス算出機構17の出力するX・Yアドレスを受け取る。

【0022】この画像データのX・Yアドレスを受け取

ると、アドレス変換手段18、20は、図4に示すように、画像データの矩形領域に対して、画像メモリ10、11の同一ローアドレスを割り付けるとともに、各矩形領域に対して、ラスタスキャンの順序に従って画像メモリ10、11のカラムアドレスを割り付け、更に、隣合う矩形領域に対して異なるバンクを割り付けることで、受け取ったX・Yアドレスを画像メモリ10、11のロー・カラムアドレスに変換する。

【0023】この算出されるロー・カラムアドレスに従って画像メモリ10、11がアクセスされることになるので、選択手段14は、表示画像データを出力する画像メモリ10、11を選択することで、その表示画像データをディスプレイ装置15に表示していく。

【0024】この構成に従い、画像メモリ10、11をアクセスするときに、そのアクセスが同一矩形領域内のものであるときには、ローアドレスを変更することなく実行できることとなって、高速アクセスを実現できることになる。なお、この効果だけであれば、単一バンク構成を採って、図5に示すように、画像データの矩形領域に対して、画像メモリ10、11の同一ローアドレスを割り付けることで実現できるものである。

【0025】そして、画像メモリ10、11をアクセスするときに、そのアクセスが異なる矩形領域に跨がるものであるときには、同一画像データの隣合う矩形領域に対して異なるバンクを割り付ける構成を採っているので、アクセス中に別バンクのローアドレスを設定することが可能となるシンクロナスDRAMのような画像メモリを用いることで、アクセス中に別バンクのローアドレスを設定することが可能となって、高速アクセスを実現できることになる。

【0026】このようにして、図1に原理構成を図示した画像処理システム1は、画像メモリ10、11を高速にアクセスできるようになるのである。そして、この画像処理システム1は、高価で大きいビデオRAMを用いずに、描画画像データを更新しつつディスプレイ装置15に表示できるようになる。

【0027】図2に原理構成を図示する本発明の画像処理システム1では、バンクモード決定手段37は、画面終了信号を受け取ると、バンクAとバンクBという2つのバンクがあるときに、それまで、バンクAに描画画像データを書き込むことを決定していたときには、今度は、バンクAから表示画像データを読み出すことを決定し、それまで、バンクBから表示画像データを読み出すことを決定していたときには、今度は、バンクBに描画画像データを書き込むことを決定する。

【0028】一方、タイムスライス制御手段38は、後述するアルゴリズムに従って、描画算出機構34の出力するX・Yアドレスを受け取るのか、出力アドレス算出機構35の出力するX・Yアドレスを受け取るのかを決定して、描画算出機構34の出力するX・Yアドレスを

受け取ることを決定するときには、出力アドレス算出機構35に対してX・Yアドレスの送出の一時停止を指示し、出力アドレス算出機構35の出力するX・Yアドレスを受け取ることを決定するときには、描画算出機構34に対してX・Yアドレスの送出の一時停止を指示する。

【0029】このタイムスライス制御手段38の制御処理に従って、描画画像データが表示画像データのいずれかの画像データのX・Yアドレスを受け取ると、アドレス変換手段36は、図6に示すように、画像データの矩形領域に対して、画像メモリ30の同一ローアドレスを割り付けるとともに、各矩形領域に対して、ラスタスキャンの順序に従って画像メモリ30のカラムアドレスを割り付け、更に、同一画像データの各矩形領域に対して同一バンクを割り付けることで、受け取ったX・Yアドレスを画像メモリ30のロー・カラムアドレスに変換する。

【0030】このようなアドレス変換処理を実行していくときに、タイムスライス制御手段38は、同一バンク上の異なる矩形領域への連続的なアクセスが発生するときには、そのアクセスに先立って他バンクの矩形領域をアクセスするよう制御することで、描画算出機構34の出力するX・Yアドレスを受け取るのか、出力アドレス算出機構35の出力するX・Yアドレスを受け取るのかを決定する。

【0031】すなわち、描画算出機構34の出力するX・Yアドレスを受け取っているときに、そのX・Yアドレスが異なる矩形領域に移るときには、そのX・Yアドレスの受け取りを一時停止して、今度は、出力アドレス算出機構35の出力するX・Yアドレスを受け取ることを決定し、出力アドレス算出機構35の出力するX・Yアドレスを受け取っているときに、そのX・Yアドレスが異なる矩形領域に移るときには、そのX・Yアドレスの受け取りを一時停止して、今度は、描画算出機構34の出力するX・Yアドレスを受け取ることを決定していくのである。

【0032】このようにして算出されるロー・カラムアドレスに従い、矩形領域を境にして、描画画像データの書き込みと、表示画像データの読み出しとが交互に実行されることになる。すなわち、画像メモリ30から出力される表示画像データは、連続的に出力されるのではなくて、描画画像データの間に挟まれて出力されることから、データ調整手段32は、画像メモリ30から出力される表示画像データを抽出し連続データに変換してディスプレイ装置33に表示していく。

【0033】この構成に従い、画像メモリ30をアクセスするときに、そのアクセスが同一矩形領域内のものであるときには、ローアドレスを変更することなく実行できることとなって、高速アクセスを実現できることになる。

【0034】そして、画像メモリ30をアクセスするときに、そのアクセスが異なる矩形領域に跨がるものであるときには、矩形領域を境にして時分割で2つのバンクを切り換える構成を採っているため、アクセス中に別バンクのローアドレスを設定することが可能となるシンクロナスDRAMのような画像メモリを用いることで、アクセス中に別バンクのローアドレスを設定することが可能となって、高速アクセスを実現できることになる。

【0035】このようにして、図2に原理構成を図示した画像処理システム1は、画像メモリ30を高速にアクセスできるようになるのである。そして、この画像処理システム1は、高価で大きいビデオRAMを用いずに、描画画像データを更新しつつディスプレイ装置33に表示できるようにする。

【0036】図3に原理構成を図示する本発明の画像処理システム1では、従来技術と同様に、ビデオRAM41を備えることで、画像データを更新しつつディスプレイ装置44に表示していく構成を採るのであるが、描画算出機構45の出力する描画画像データの持つ奥行き情報等の非表示情報については、第1のメモリ制御ユニット42が受け取るよう処理する。

【0037】この非表示情報のX・Yアドレスを受け取ると、アドレス変換手段46は、図4に示すように、画像データの矩形領域に対して、非表示情報用画像メモリ40の同一ローアドレスを割り付けるとともに、各矩形領域に対して、ラスタスキャンの順序に従って非表示情報用画像メモリ40のカラムアドレスを割り付け、更に、隣合う矩形領域に対して異なるバンクを割り付けることで、受け取ったX・Yアドレスを非表示情報用画像メモリ40のロー・カラムアドレスに変換する。

【0038】この算出されるロー・カラムアドレスに従って非表示情報用画像メモリ40がアクセスされることになるが、図1で説明したと同じ理由に従って、このアクセスが高速に実現されることになる。

【0039】このようにして、図3に原理構成を図示した画像処理システム1は、描画画像データの持つ非表示情報を高速に非表示情報用画像メモリ40に書き込み、読み出せるようになる。

【0040】

【実施例】以下、実施例に従って本発明を詳細に説明する。図7に、図1に原理構成を図示した本発明の画像処理システム1の一実施例を図示する。図中、図1で説明したものと同じものについては同一の記号で示してある。

【0041】100はデジタル・シグナル・プロセッサであって、第1のメモリ制御ユニット12、第2のメモリ制御ユニット13、描画算出機構16及び出力アドレス算出機構17を展開するものである。10aは第1の画像メモリ10に相当する第1のシンクロナスDRAM、11aは第2の画像メモリ11に相当する第2のシ

ンクロナスDRAM、14aは選択手段14に相当するセクタである。22はDAコンバータであって、セクタ14aの出力する表示画像データをデジタル信号からアナログ信号に変換するもの、23は同期信号生成機構であって、同期信号を生成するものである。

【0042】この実施例の説明に入る前に、シンクロナスDRAMについて説明する。シンクロナスDRAMは、2つのバンクから構成されて、ローアドレスを変更するアクセスや、リードとライトを変更するアクセスは遅いものの、同一ローアドレスの数ワード以上のリードアクセスやライトアクセスは非常に速く、また、あるバンクをアクセスしているときに他のバンクのローアドレスを変更できることで、異なるローアドレスのアクセス速度を向上できるという特徴を有している。そして、指示されたカラムアドレスから1ずつカウントアップしていくカラムアドレスを自動的にアクセスするという特徴を有している。

【0043】例えば、図8に示すように、Aバンクのローアドレスa／カラムアドレスa1が設定されると、1ずつカウントアップしていく4個のカラムアドレスに対してライトアクセスを実行し、この間に、バンクBのローアドレスbが設定でき、続いて、Aバンクのカラムアドレスa2が設定されると、1ずつカウントアップしていく4個のカラムアドレスに対してライトアクセスを実行し、続いて、Bバンクのカラムアドレスb1が設定されると、1ずつカウントアップしていくカラムアドレスに対してライトアクセスを実行するというように、あるバンクをアクセスしているときに他のバンクのローアドレスを変更できるとともに、指示されたカラムアドレスから1ずつカウントアップしていくカラムアドレスを自動的にアクセスするという特徴を有しているのである。

【0044】次に、図7の実施例の説明に入ることにする。この図7の実施例では、図1の原理構成図で説明したように、一方のシンクロナスDRAM10a、11aを描画算出機構16からのアクセス用とし、他方のシンクロナスDRAM10a、11aを出力アドレス算出機構17からのアクセス用として、この2つのシンクロナスDRAM10a、11aの役割を描画算出機構16が1画面書き終わった段階で交代していくことで、ダブルバッファとして用意されるシンクロナスDRAM10a、11aに描画画像データを書き込んでいくとともに、表示画像データを読み出してディスプレイ装置15に表示していくよう処理するものである。

【0045】各シンクロナスDRAM10a、11aは、1画面分格納可能な容量を持つことから、例えば、1画面が2048×1024画素であるときには、2つのバンクでもって、この2048×1024画素分の容量を持つように構成される。

【0046】このシンクロナスDRAM10a、11aを受けて、第1及び第2のメモリ制御ユニット12、1

3の備えるアドレス変換手段18, 19は、図1で説明したように、画像データの矩形領域に対して、シンクロナスDRAM10a, 11aの同一ローアドレスを割り付けるとともに、各矩形領域に対して、ラスタスキャンの順序に従ってシンクロナスDRAM10a, 11aのカラムアドレスを割り付け、更に、隣合う矩形領域に対して異なるバンクを割り付けることで、受け取ったX・YアドレスをシンクロナスDRAM10a, 11aのロ*

$$R.A = \text{INT}(y/32) * 32 + \text{INT}(x/64)$$

$$B.A = \text{mod}_2(\text{mod}_2(\text{INT}(x/32)) + \text{mod}_2(\text{INT}(y/32)))$$

$$C.A = \text{mod}_{32}(x) + \text{mod}_{32}(y) * 32$$

【0049】に従って実現されることになる。ここで、【数1】式中の「R.A」はローアドレス、「B.A」はバンクアドレス、「C.A」はカラムアドレスを表しており、「B.A=0」はバンクA、「B.A=1」はバンクBを表している。

【0050】図10に、この【数1】式を実現するアドレス変換手段18, 19のハードウェア構成を図示する。ここで、X(0)はXアドレスの最下位ビット、X(10)はXアドレスの最上位ビット、Y(0)はYアドレスの最下位ビット、Y(9)はYアドレスの最上位ビット、ROW(0)はローアドレスの最下位ビット、ROW(9)はローアドレスの最上位ビット、COLUMN(0)はカラムアドレスの最下位ビット、COLUMN(9)はカラムアドレスの最上位ビットを表している。

【0051】このハードウェア構成により、例えば、「X=64, Y=32」という画像データのX・Yアドレスを受け取ると、「X=00001000000, Y=0000100000」に従って、アドレス変換手段18, 19は、「ローアドレス=0000100001, カラムアドレス=0000000000, バンクアドレス=1」、すなわち、「ローアドレス=33, カラムアドレス=0, バンクアドレス=B」というように、図9に示したメモリマッピングを実現するアドレス変換処理を実行する。

【0052】このアドレス変換処理により算出されるロー・カラムアドレスに従って、シンクロナスDRAM10a, 11aがアクセスされることになるが、通常、コンピュータグラフィック等で描画する画像データは局在する性質を有していることから、同一の矩形領域内に収まることも多く、このようなときには、矩形領域内に同一のローアドレスが割り付けられていることで、ローアドレスを変更することなくシンクロナスDRAM10a, 11aのライトアクセスが実現されることになる。

【0053】そして、表示画像データを出力するときには、同一の矩形領域内を水平方向にスキャンしていくので、矩形領域内に同一のローアドレスが割り付けられていることで、各矩形領域内では、ローアドレスを変更す

*一・カラムアドレスに変換する処理を実行する。

【0047】図9に、このメモリマッピングの一実施例を図示する。この実施例では、1つの矩形領域を32×32画素で形成する構成を採っている。このようなメモリマッピングは、具体的には、

【0048】

【数1】

ることなくシンクロナスDRAM10a, 11aのリードアクセスが実現されることになる。しかも、各矩形領域に対して、ラスタスキャンの順序に従ってシンクロナスDRAM10a, 11aのカラムアドレスを割り付ける構成を採っているため、シンクロナスDRAM10a, 11aの持つ上述のカラムアドレス連続アクセス機能に従って、極めて高速なアクセスが実現されることになる。

【0054】そして、同一画像データの隣合う矩形領域に対して異なるバンクを割り付ける構成を採っているため、描画画像データが隣の矩形領域に跨がることで隣の矩形領域にライトアクセスが移ったり、ラスタスキャンに従って隣の矩形領域にリードアクセスが移るときにも、シンクロナスDRAM10a, 11aの持つ上述のローアドレス設定機能に従って、アクセス中に別バンクのローアドレスを設定することが可能になって、実質的に連続なアクセスが実現されることになる。

【0055】一方、セレクト14aは、1画面毎に交代しつついずれか一方のシンクロナスDRAM10a, 11aから表示画像データが出力されてくるので、同期信号から生成される画面終了信号に従って表示画像データを出力する方のシンクロナスDRAM10a, 11aを選択して、その出力する表示画像データをDAコンバータ22に出力し、この出力を受けて、DAコンバータ22は、セレクト14aの出力する表示画像データをディジタル信号からアナログ信号に変換してディスプレイ装置15に表示していく。

【0056】このようにして、図7に示す画像処理システム1は、1ポート構成の2つのシンクロナスDRAM10a, 11aを備える構成を採って、1画面を単位として、描画画像データの書き込み先のシンクロナスDRAM10a, 11aと、表示画像データの読み出し先のシンクロナスDRAM10a, 11aとを交代する構成を採ることで、描画画像データを更新しつつディスプレイ装置15に表示していく構成を採ることから、高価で大きいビデオRAMを用いずに、描画画像データを更新

しつディスプレイ装置15に表示できるようになる。

【0057】図11に、図2に原理構成を図示した本発明の画像処理システム1の一実施例を図示する。図中、図2で説明したものと同一のものについては同一の記号で示してある。

【0058】100はデジタル・シグナル・プロセッサであって、メモリ制御ユニット31、描画算出機構34及び出力アドレス算出機構35を展開するものである。30aは画像メモリ30に相当するシンクロナスDRAM、32aはデータ調整手段32に相当する速度変換バッファである。39はDAコンバータであって、速度変換バッファ32aの生成する表示画像データをデジタル信号からアナログ信号に変換するもの、40は同期信号生成機構であって、同期信号を生成するものである。

【0059】この図11の実施例では、図2の原理構成図で説明したように、シンクロナスDRAM30aの持つ2つのバンクをバンクA、Bで表すならば、一方のバンクA、Bを描画算出機構34からのアクセス用とし、他のバンクA、Bを出力アドレス算出機構35からのアクセス用として、この2つのバンクA、Bの役割を描画算出機構34が1画面書き終わった段階で交代していくことで、ダブルバッファとして用意されるシンクロナスDRAM30aの2つのバンクA、Bに描画画像データを書き込んでいくとともに、表示画像データを読み出してディスプレイ装置33に表示していくよう処理するものである。

【0060】シンクロナスDRAM30aの各バンクA、Bは、1画面分格納可能な容量を持つことから、例えば、1画面が2048×1024画素であるときには、各バンクA、Bは、それぞれ2048×1024画素分の容量を持つように構成される。

【0061】このシンクロナスDRAM30aを受けて、メモリ制御ユニット31の備えるアドレス変換手段36は、図2で説明したように、画像データの矩形領域に対して、シンクロナスDRAM30の同一ローアドレスを割り付けるとともに、各矩形領域に対して、ラスタスキャンの順序に従ってシンクロナスDRAM30aのカラムアドレスを割り付け、更に、同一画像データの各矩形領域に対して同一バンクを割り付けることで、受け取ったX・YアドレスをシンクロナスDRAM30aのロー・カラムアドレスに変換する処理を実行する。

【0062】図12に、このメモリマッピングの一実施例を図示する。この実施例では、1つの矩形領域を32×32画素で形成する構成を採っている。このようなメモリマッピングは、具体的には、

【0063】

【数2】

$$R.A = \text{INT}(y/32) * 64 + \text{INT}(x/32)$$

$$C.A = \text{mod}_{32}(x) + \text{mod}_{32}(y) * 32$$

【0064】に従って実現されることになる。ここで、【数2】式中の「R.A」はローアドレス、「C.A」はカラムアドレスを表しており、バンクAをアクセスするときには、Yアドレスの最上位ビットに「0」、バンクBをアクセスするときには、Yアドレスの最上位ビットに「1」をセットすることになる。

【0065】図13に、この【数2】式を実現するアドレス変換手段36のハードウェア構成を図示する。ここで、X(0)はXアドレスの最下位ビット、X(10)はXアドレスの最上位ビット、Y(0)はYアドレスの最下位ビット、Y(9)はYアドレスの最上位ビット、ROW(0)はローアドレスの最下位ビット、ROW(10)はローアドレスの最上位ビット、COLUMN(0)はカラムアドレスの最下位ビット、COLUMN(9)はカラムアドレスの最上位ビットを表している。

【0066】このハードウェア構成により、例えば、「X=32, Y=32」という画像データのX・Yアドレスを受け取ると、バンクAをアクセスするときには、「X=00000100000, Y=0000100000」に従って、アドレス変換手段36は、「ローアドレス=00001000001, カラムアドレス=0000000000, バンクアドレス=0」、すなわち、「ローアドレス=65, カラムアドレス=0, バンクアドレス=A」というように、図12に示したメモリマッピングを実現するアドレス変換処理を実行する。

【0067】このアドレス変換処理により算出されるロー・カラムアドレスに従って、シンクロナスDRAM30aがアクセスされることになるが、通常、コンピュータグラフィック等で描画する画像データは局在する性質を有していることから、同一の矩形領域内に収まることも多く、このようなときには、矩形領域内に同一のローアドレスが割り付けられていることで、ローアドレスを変更することなくシンクロナスDRAM30aのライトアクセスが実現されることになる。

【0068】そして、表示画像データを出力するときには、同一の矩形領域内を水平方向にスキャンしていくので、矩形領域内に同一のローアドレスが割り付けられていることで、各矩形領域内では、ローアドレスを変更することなくシンクロナスDRAM30aのリードアクセスが実現されることになる。しかも、各矩形領域に対して、ラスタスキャンの順序に従ってシンクロナスDRAM30aのカラムアドレスを割り付ける構成を採っているので、シンクロナスDRAM30aの持つ上述のカラムアドレス連続アクセス機能に従って、極めて高速なアクセスが実現されることになる。

【0069】そして、シンクロナスDRAM30aをア

クセスするときに、そのアクセスが異なる矩形領域に跨がるものであるときには、矩形領域を境にして時分割で2つのバンクを切り換える構成を採っているので、描画画像データが同一の矩形領域に収まらずに、描画画像データが隣の矩形領域に跨がることで隣の矩形領域にライトアクセスが移ったり、ラスタスキャンに従って隣の矩形領域にリードアクセスが移るときにも、シンクロナスDRAM30aの持つ上述のローアドレス設定機能に従って、アクセス中に別バンクのローアドレスを設定することが可能になって、実質的に連続なアクセスが実現されることになる。

【0070】この図11の実施例に従うと、描画画像データの書き込みと、表示画像データの読み出しとを時分割で交互に実行する構成を採ることから、シンクロナスDRAM30aから出力される表示画像データは、連続的に出力されるのではなくて、描画画像データの間に挟まれて出力されることになる。

【0071】これから、速度変換バッファ32aは、シンクロナスDRAM30aから出力される表示画像データを抽出し連続データに変換してディスプレイ装置33に表示していく。例えば、2ライン分の容量を持って、ディスプレイ装置33の1ライン走査の間に、シンクロナスDRAM30aから出力される表示画像データを連続データに変換してもう1つのバッファに1ライン分格納し、次の1ラインの走査のときに、ディスプレイ周波数に従って出力していくのである。このような処理構成に従い、図7の実施例では、ディスプレイ周波数よりもメモリアクセス速度が遅い場合には、正しい画像データを出力することができず、ディスプレイ周波数よりもメモリアクセス速度が速い場合には、メモリ性能を十分引き出せないという欠点があるのに対して、この図11の実施例に従うと、全メモリアクセスに対するディスプレイ出力アクセスの割合が自由に設定できることから、最大限の描画性能を得られるという利点がある。

【0072】このようにして、図11に示す画像処理システム1は、1ポート構成を採る2バンク構成のシンクロナスDRAM30aを備える構成を採って、1画面を単位として、描画画像データの書き込み先のバンクと、表示画像データの読み出し先のバンクとを交代する構成を採ることから、描画画像データを更新しつつディスプレイ装置33に表示していく構成を採ることから、高価で大きいビデオRAMを用いずに、描画画像データを更新しつつディスプレイ装置33に表示できるようになる。

【0073】図14に、図3に原理構成を図示した本発明の画像処理システム1の一実施例を図示する。図中、図3で説明したものと同一のものについては同一の記号で示してある。

【0074】100はデジタル・シグナル・プロセッサであって、第1のメモリ制御ユニット42、第2のメモリ制御ユニット43及び描画算出機構45を展開する

ものである。40aは非表示情報用画像メモリ40に相当するシンクロナスDRAM、47はDAコンバータであって、ビデオRAM41の出力する表示画像データをデジタル信号からアナログ信号に変換するもの、48は同期信号生成機構であって、同期信号を生成するものである。

【0075】この実施例の画像処理システム1では、従来技術と同様に、ビデオRAM41を備えることで、画像データを更新しつつディスプレイ装置44に表示していく構成を採るのであるが、ディスプレイ装置44に出力することのない奥行き情報やコントロール情報については、シンクロナスDRAM40aに格納する構成を採るものである。

【0076】すなわち、図7の実施例に従う場合、ディスプレイ装置15に出力している方のシンクロナスDRAM10a、11aには、描画算出機構16からアクセスできないことになるので、これを解決するために、この実施例では、ディスプレイ出力アクセスの必要なイメージプレーンについては2ポート構成のビデオRAM41に格納し、ディスプレイ出力アクセスの必要のないプレーンについてはシンクロナスDRAM40aに格納する構成を採るのである。なお、イメージプレーンについては、ライトのみでよい場合が多く、奥行き情報等は、一度リードしてからライトする場合が多い。

【0077】描画算出機構45から、このような非表示情報のX・Yアドレスを受け取ると、アドレス変換手段46は、図7の実施例のアドレス変換手段18、19と同様のアドレス変換処理を実行し、この結果求まるロー・カラムアドレスに従ってシンクロナスDRAM40aが高速にアクセスされることになる。

【0078】このようにして、図14に示す画像処理システム1は、描画画像データの持つ非表示情報をシンクロナスDRAM40aに高速に書き込めるとともに、シンクロナスDRAM40aから高速に読み出せるようになるのである。

【0079】図示実施例に従って本発明を説明したが、本発明はこれに限定されるものではない。例えば、実施例では、シンクロナスDRAMを用いることで本発明を開示したが、本発明はこれに限られるものではない。

【0080】例えば、図13(a)に示すような三角形を図13(b)に示す画素順序に従ってライトするとすると、上述したように、従来技術であれば1750ns要したものが、この三角形が同一矩形領域に収まる場合で説明するならば、本発明ではローアドレスを変更する必要がないことから、ビデオRAMと同じアクセス速度であっても1350nsに短縮できるのである。なお、この場合、シンクロナスDRAMを用いるとすると、この三角形が同一矩形領域に収まらない場合にも連続アクセスが可能になることと、1アクセスが1クロック分(16.7ns)で可能になることから、アクセスに要す

17

る時間は、「 $16.7 \times \text{画素数} = 16.7 \times 25 = 418 \text{ ns}$ 」と大幅に短縮できることになる。

【0081】

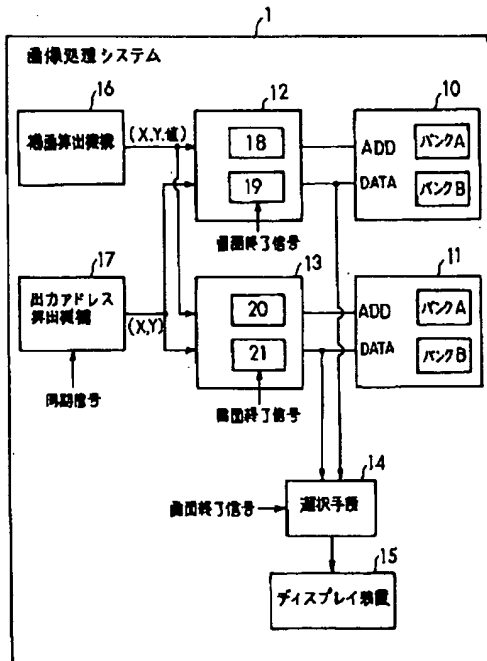
【発明の効果】以上説明したように、本発明によれば、アドレスマルチプレックス方式の画像メモリを高速にアクセスできるようになる。そして、高速処理を実現しつつ、高価で大きなビデオRAMを用いることなく、アドレスマルチプレックス方式の画像メモリに格納される画像データを更新しつつディスプレイ装置に表示できるようになる。

【図面の簡単な説明】

- 【図1】本発明の原理構成図である。
 【図2】本発明の原理構成図である。
 【図3】本発明の原理構成図である。
 【図4】本発明のメモリマッピングの説明図である。
 【図5】本発明のメモリマッピングの説明図である。
 【図6】本発明のメモリマッピングの説明図である。
 【図7】本発明の一実施例である。
 【図8】シンクロナスDRAMの説明図である。
 【図9】メモリマッピングの一実施例である。
 【図10】アドレス変換手段の一実施例である。
 【図11】本発明の一実施例である。

【図1】

本発明の原理構成図



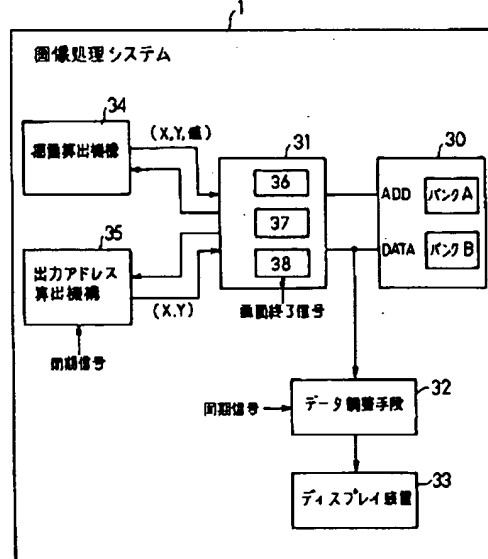
18

- 【図12】メモリマッピングの一実施例である。
 【図13】アドレス変換手段の一実施例である。
 【図14】本発明の一実施例である。
 【図15】従来技術の説明図である。
 【図16】従来技術の説明図である。
 【図17】ビデオRAMのメモリアクセスのタイムチャートである。
 【図18】画像データのアクセス順序の一例である。
 【符号の説明】

- 10 画像処理システム
 10 第1の画像メモリ
 11 第2の画像メモリ
 12 第1のメモリ制御ユニット
 13 第2のメモリ制御ユニット
 14 選択手段
 15 ディスプレイ装置
 16 描画算出機構
 17 出力アドレス算出機構
 18 アドレス変換手段
 20 19 メモリモード決定手段
 20 アドレス変換手段
 21 メモリモード決定手段

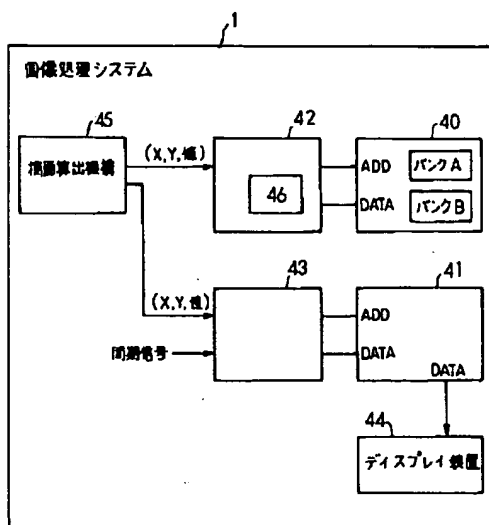
【図2】

本発明の原理構成図



【図3】

本発明の原理構成図



【図5】

本発明のメモリマッピングの説明図

ローアドレス a	ローアドレス b	...	ローアドレス c
ローアドレス d	ローアドレス e	...	ローアドレス f
.	.	.	.
.	.	.	.
ローアドレス g	ローアドレス h	...	ローアドレス i

【図4】

本発明のメモリマッピングの説明図

バンク A ローアドレス a	バンク B ローアドレス b	...	バンク B ローアドレス c
バンク B ローアドレス d	バンク A ローアドレス e	...	バンク A ローアドレス f
.	.	.	.
.	.	.	.
バンク B ローアドレス g	バンク A ローアドレス h	...	バンク A ローアドレス i

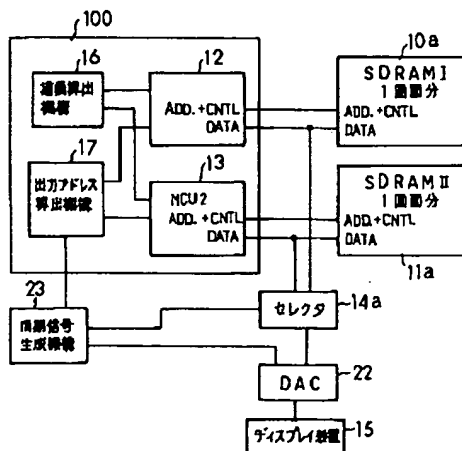
(a)

アドレス 0	アドレス 1	アドレス 2	アドレス 3	...	アドレス n-1
アドレス n	アドレス n+1	アドレス n+2	アドレス n+3	...	アドレス 2n-1
アドレス 2n	アドレス 2n+1	アドレス 2n+2	アドレス 2n+3	...	アドレス 3n-1
.
アドレス m	アドレス m+1	アドレス m+2	アドレス m+3	...	アドレス m+n-1

(b)

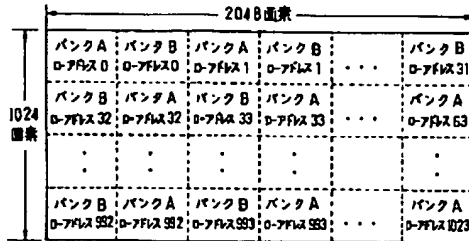
【図7】

本発明の一実施例

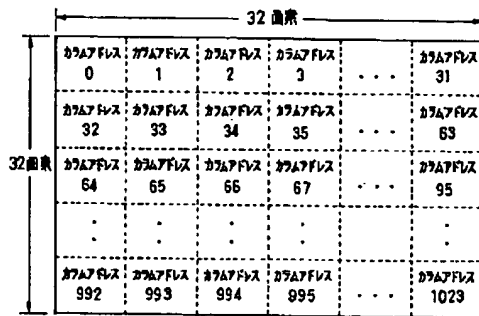


【図9】

メモリマッピングの一実施例



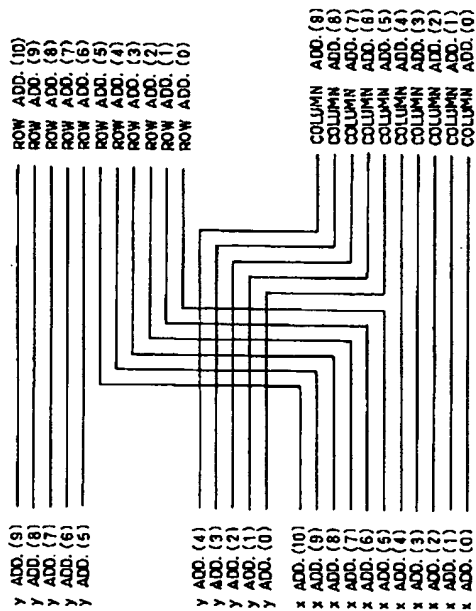
(a)



(b)

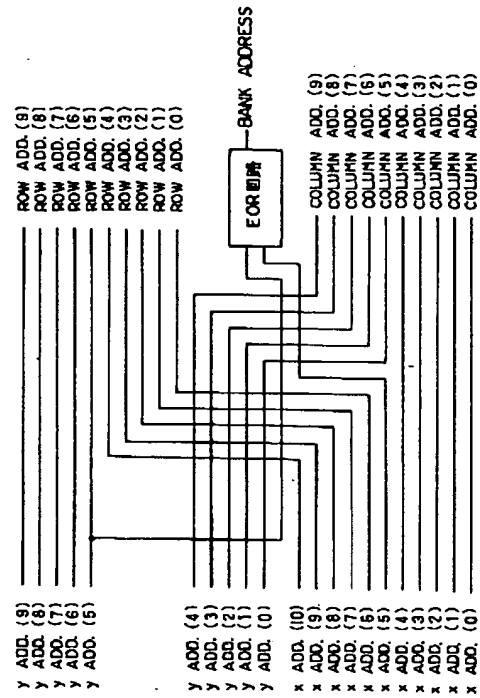
【図13】

アドレス変換手段の一実施例



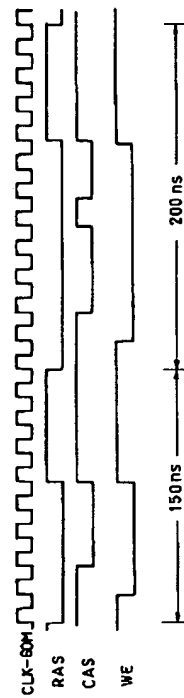
【図10】

アドレス変換手段の一実施例



【図17】

ビデオRAMのメモリアクセスのタイムチャート



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.